République tunisienne Ministère de l'Éducation **Lycée Cité Riadh 2 – Ksar Hellal**	**DEVOIR DE CONTRÔLE N°1** **Technologie – Génie électrique** **CORRIGÉ DU DOSSIER PÉDAGOGIQUE**	Classe : 3e Sciences techniques Durée : 2 heures Prof. : Dr Hassène Bedoui A.S. : 2026 – 2027

Nom et prénom :	**Classe :**	**N° :**	**Note : 20 / 20**

PARTIE A — LOGIQUE COMBINATOIRE (11 points)

A.1 Numération — Le compteur du poste indique que N = $(185)_{10}$ grandes caisses ont été triées dans la journée. Convertir N : **(1,5 pts)**

a) en binaire naturel : $(185)_{10}$ = (**1011 1001**)$_2$ **(0,5 pt)**

b) en hexadécimal : $(185)_{10}$ = (**B9**)$_{16}$ **(0,5 pt)** c) en code BCD : $(185)_{10}$ = (**0001 1000 0101**)BCD **(0,5 pt)**

A.2 En se référant au tableau 1 (page 1/3 du DT), compléter la table de vérité des fonctions **P** (caisse petite), **M** (moyenne), **G** (grande) et **AL** (anomalie). Les lignes 0 à 7 (p = 0) sont données. **(2 pts)**

N°	p	a	b	c	P	M	G	AL
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0
2	0	0	1	0	0	0	0	0
3	0	0	1	1	0	0	0	0
4	0	1	0	0	0	0	0	0
5	0	1	0	1	0	0	0	0
6	0	1	1	0	0	0	0	0
7	0	1	1	1	0	0	0	0
8	1	0	0	0	**0**	**0**	**0**	**1**
9	1	0	0	1	**0**	**0**	**0**	**1**
10	1	0	1	0	**0**	**0**	**0**	**1**
11	1	0	1	1	**0**	**0**	**0**	**1**
12	1	1	0	0	**1**	**0**	**0**	**0**
13	1	1	0	1	**0**	**0**	**0**	**1**
14	1	1	1	0	**0**	**1**	**0**	**0**
15	1	1	1	1	**0**	**0**	**1**	**0**

Barème :
colonnes P, M, G : 1 pt
colonne AL : 1 pt

Rappel : une cellule vaut 1 lorsque son faisceau est coupé ; « anomalie » = toute combinaison de a, b, c ne figurant pas dans le tableau 1 alors que p = 1.

A.3 Simplification de la fonction AL. **(2 pts)**

a) Compléter le tableau de Karnaugh de AL. **(1 pt)** b) Effectuer les groupements et écrire l'équation simplifiée de AL. **(1 pt)**

p a \ b c	00	01	11	10
00	**0**	**0**	**0**	**0**
01	**0**	**0**	**0**	**0**
11	**0**	**1**	**0**	**0**
10	**1**	**1**	**1**	**1**

AL = $p\cdot\bar{a} + p\cdot\bar{b}\cdot c$

Groupement bleu (ligne pa = 10, 4 cases) : $p\cdot\bar{a}$

Groupement orange (colonne bc = 01, lignes 11 et 10) : $p\cdot\bar{b}\cdot c$

Forme factorisée acceptée : AL = $p\cdot(\bar{a} + \bar{b}\cdot c)$

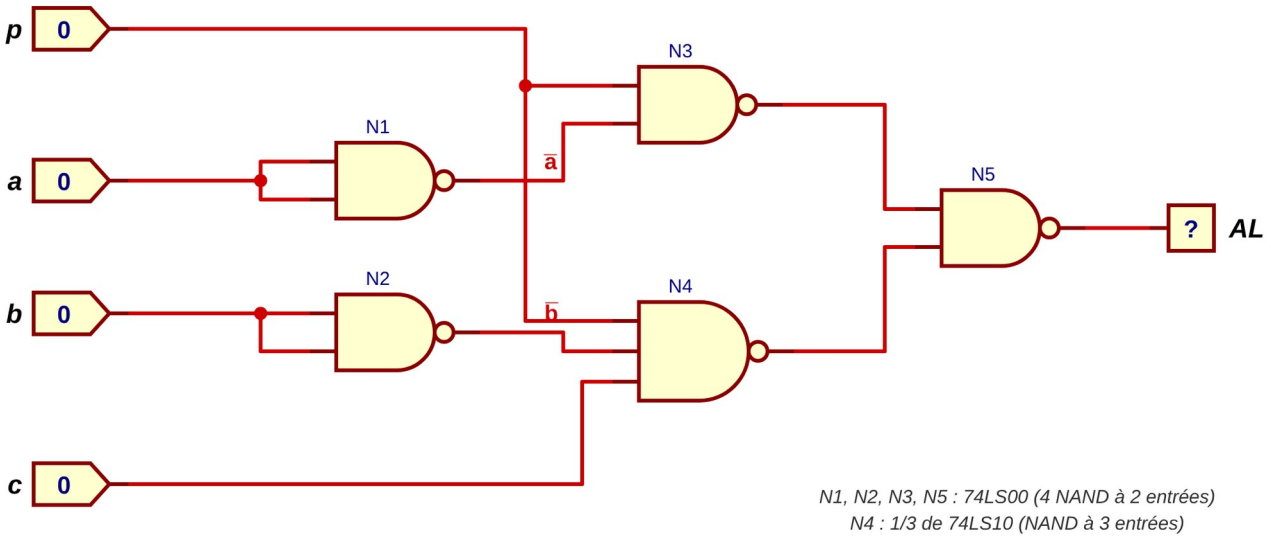
A.4 Réalisation de AL avec des portes NAND uniquement. **(1,5 pts)**

a) Transformer l'équation de AL pour ne faire apparaître que des opérateurs NAND (notation NAND(x ; y) acceptée). **(0,5 pt)**

AL = NAND[NAND(p ; $\overline{a}$) ; NAND(p ; $\overline{b}$; c)] avec $\overline{a}$ = NAND(a ; a) et $\overline{b}$ = NAND(b ; b)

Justification : double complémentation de la somme de produits puis théorème de De Morgan : $p \cdot \overline{a} + p \cdot \overline{b} \cdot c$ = NON[NON($p \cdot \overline{a}$) · NON($p \cdot \overline{b} \cdot c$)].

b) Compléter le logigramme de AL (N1 → $\overline{a}$, N2 → $\overline{b}$, N3, N4 à 3 entrées, N5 → AL). **(1 pt)**

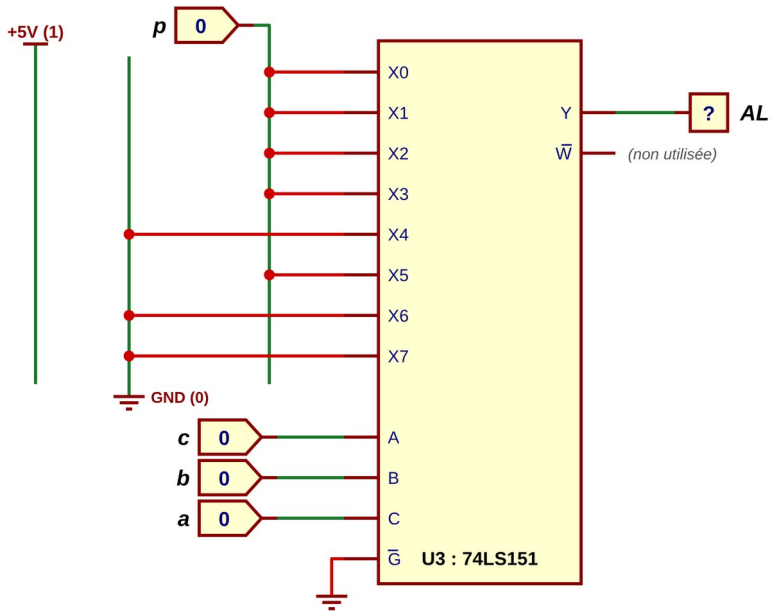


A.5 Réalisation de AL avec un multiplexeur 74LS151. On relie **C = a, B = b, A = c** et on applique la variable **p** (ou 0, ou 1) sur les entrées de données X0 … X7 (voir DT page 3/3). **(2 pts)**

a) Compléter le tableau en indiquant pour chaque entrée la valeur à appliquer : 0, 1 ou p. **(1 pt)**

a b c (C B A)	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
Entrée	**X0**	**X1**	**X2**	**X3**	**X4**	**X5**	**X6**	**X7**
Valeur (0, 1 ou p)	**p**	**p**	**p**	**p**	**0**	**p**	**0**	**0**

b) Compléter le câblage des entrées X0 … X7 et de l'entrée de validation $\overline{G}$. **(1 pt)**



A.6 Codage et affichage — Le PIC envoie au 7448 le code BCD du format : **D = C = 0, B = N1, A = N0** (petite → 1, moyenne → 2, grande → 3, sinon 0). **(2 pts)**

a) Exprimer N0 et N1 en fonction de P, M et G. **(0,5 pt)** N0 = **P + G** ; N1 = **M + G**

b) En utilisant la table de vérité (A.2), montrer que N1 = p·a·b. **(0,5 pt)**

N1 = M + G = p·a·b·$\overline{c}$ + p·a·b·c = p·a·b·($\overline{c}$ + c) = p·a·b

($c + \overline{c} = 1$)

c) Compléter le tableau des segments allumés (1 = segment allumé, 0 = éteint) — voir figure 4 du DT. **(0,75 pt)**

Format	Chiffre	D C B A	a	b	c	d	e	f	g
aucune caisse	**0**	0 0 0 0	1	1	1	1	1	1	0
petite	**1**	**0 0 0 1**	**0**	**1**	**1**	**0**	**0**	**0**	**0**
moyenne	**2**	**0 0 1 0**	**1**	**1**	**0**	**1**	**1**	**0**	**1**
grande	**3**	**0 0 1 1**	**1**	**1**	**1**	**1**	**0**	**0**	**1**

d) Si l'afficheur était à anode commune, quel décodeur faudrait-il utiliser à la place du 7448 ? **74LS47 (sorties actives au niveau bas)** **(0,25 pt)**

PARTIE B — MICROCONTRÔLEUR (9 points)

B.1 Choix du microcontrôleur (voir figure 2 et tableau 2 du DT). **(1 pt)**

a) Nombre d'entrées : **5 (p, a, b, c, m)** ; nombre de sorties : **8 (KM, Y1, Y2, H, A, B, C, D)** **(0,5 pt)**

b) Justifier le choix du PIC16F84A : **il faut 5 + 8 = 13 E/S ; le PIC16F84A en possède 13 (RA0–RA4 et RB0–RB7)** **(0,5 pt)**

B.2 Configuration des ports — Compléter les registres TRISA et TRISB (écrire 0 pour les bits non implantés). **(1,5 pts)**

Registre	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0		Hexadécimal
TRISA	**0**	**0**	**0**	**1**	**1**	**1**	**1**	**1**	→	0x**1F**
TRISB	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	→	0x**00**

Barème : TRISA 0,75 pt (bits 0,5 ; hexadécimal 0,25) — TRISB 0,75 pt (bits 0,5 ; hexadécimal 0,25).

B.3 Compléter la valeur à écrire dans PORTB pour chaque situation (binaire RB7 … RB0 puis hexadécimal). **(2 pts)**

Situation	RB7 D	RB6 C	RB5 B	RB4 A	RB3 H	RB2 Y2	RB1 Y1	RB0 KM	PORTB
m = 0 : poste à l'arrêt (exemple)	0	0	0	0	0	0	0	0	0x00
m = 1, aucune caisse (p = 0)	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**1**	0x**01**
caisse petite	**0**	**0**	**0**	**1**	**0**	**0**	**1**	**0**	0x**12**
caisse moyenne	**0**	**0**	**1**	**0**	**0**	**1**	**0**	**0**	0x**24**
caisse grande (évacuation)	**0**	**0**	**1**	**1**	**0**	**0**	**0**	**1**	0x**31**
anomalie	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	0x**08**

Barème : 0,4 pt par ligne (bits 0,2 ; hexadécimal 0,2).

B.4 Compléter le programme mikroC de la carte (instructions et commentaires manquants). **(3,5 pts)**

Instructions	Commentaires
`// Poste de tri - PIC16F84A - quartz 4 MHz`	
`sbit p at RA0_bit;`	`// capteur de présence`
`sbit a at RA1_bit;`	`// cellule basse`
`sbit b at RA2_bit;` T1	`// cellule moyenne`
`sbit c at RA3_bit;`	`// cellule haute` C1
`sbit m at RA4_bit;` T2	`// interrupteur marche`
`void main() {`	
`  TRISA = 0x1F;` T3	`// RA0 à RA4 en entrées`
`  TRISB = 0x00;` T4	`// PORTB en sortie` C2
`  PORTB = 0x00;`	`// initialisation : tout à 0`
`  while (1) {`	`// boucle infinie`
`    if (m == 0) PORTB = 0x00;` T5	`// poste à l'arrêt`
`    else if (p == 0) PORTB = 0x01;` T6	`// tapis en marche, afficheur à 0` C3
`    else if (a == 1 && b == 0 && c == 0) {`	`// caisse petite`
`      PORTB = 0x12;` T7	`// V1 sort, afficheur à 1`
`      Delay_ms(2000);` T8	`// attente 2 s`
`    }`	
`    else if (a == 1 && b == 1 && c == 0) {` T9	`// caisse moyenne`
`      PORTB = 0x24;`	`// V2 sort, afficheur à 2` C4
`      Delay_ms(2000);`	`// attente 2 s`
`    }`	
`    else if (a == 1 && b == 1 && c == 1) {`	`// caisse grande`
`      PORTB = 0x31;`	`// tapis en marche, afficheur à 3`
`      Delay_ms(1500);`	`// évacuation pendant 1,5 s`
`    }`	
`    else PORTB = 0x08;` T10	`// anomalie : voyant H, tapis arrêté`
`  }`	
`}`	

Barème : T1 … T10 : 0,25 pt chacun (2,5 pts) ; C1 … C4 : 0,25 pt chacun (1 pt).

B.5 Carte d'interface (figure 3 du DT). **(1 pt)**

a) Rôle du transistor T : **il fonctionne en commutation (bloqué / saturé) et fournit le courant de la bobine du relais KA, que la broche du PIC (25 mA max) ne peut pas fournir. (0,5 pt)**

b) Rôle de la diode D : **diode de roue libre : elle écoule le courant de la bobine à l'ouverture et protège le transistor contre la surtension. (0,5 pt)**

GRILLE DE CORRECTION DÉTAILLÉE (barème sur 20 points)

Q.	Élément attendu	Critères d'attribution / tolérances	Points
PARTIE A — LOGIQUE COMBINATOIRE			**11**
A.1 a	$(185)_{10} = (1011\ 1001)_2$	Résultat exact : 0,5. Méthode des divisions par 2 correcte mais une erreur de bit : 0,25.	**0,5**
A.1 b	$(185)_{10} = (B9)_{16}$	Accepter un passage par le binaire (1011 = B, 1001 = 9). Réponse « 119 » ou « 911 » : 0.	**0,5**
A.1 c	$(185)_{10}$ = (0001 1000 0101)BCD	Un quartet par chiffre décimal. Confusion avec le binaire naturel : 0.	**0,5**
A.2	Colonnes P, M, G : un seul 1 chacune (lignes 12, 14, 15)	1 pt si les trois colonnes sont justes ; −0,25 par case fausse (min. 0).	**1**
A.2	Colonne AL : 1 aux lignes 8, 9, 10, 11 et 13	1 pt si exacte ; −0,25 par case fausse (min. 0).	**1**
A.3 a	Tableau de Karnaugh (code Gray 00, 01, 11, 10) rempli : ligne pa = 10 → 1 1 1 1 ; case (pa = 11, bc = 01) → 1	Report cohérent avec la table de A.2 de l'élève (pas de double sanction) : 1 pt ; −0,25 par case fausse.	**1**
A.3 b	Groupements $p\cdot\overline{a}$ (4 cases) et $p\cdot\overline{b}\cdot c$ (2 cases) ; AL = $p\cdot\overline{a} + p\cdot\overline{b}\cdot c$	Groupements corrects : 0,5 ; équation : 0,5. Accepter AL = $p\cdot(\overline{a} + \overline{b}\cdot c)$. Équation juste non simplifiée : 0,25.	**1**
A.4 a	AL = NAND[NAND(p ; $\overline{a}$) ; NAND(p ; $\overline{b}$; c)] avec $\overline{a}$ = NAND(a ; a), $\overline{b}$ = NAND(b ; b)	Accepter l'écriture avec doubles barres et De Morgan. Oubli de la réalisation des compléments : −0,25.	**0,5**
A.4 b	Logigramme : N1 et N2 en inverseurs, N3 (p, $\overline{a}$), N4 (p, $\overline{b}$, c), N5 (N3, N4) → AL	0,25 pour N1–N2 ; 0,25 pour N3 ; 0,25 pour N4 ; 0,25 pour N5 → AL.	**1**
A.5 a	X0 = X1 = X2 = X3 = X5 = p ; X4 = X6 = X7 = 0	−0,25 par entrée fausse (min. 0). Accepter X4, X6, X7 reliées à GND.	**1**
A.5 b	Câblage conforme au tableau et $\overline{G}$ relié à la masse (0)	Liaisons Xi : 0,75 (cohérentes avec le tableau de l'élève) ; $\overline{G}$ = 0 : 0,25.	**1**
A.6 a	N0 = P + G ; N1 = M + G	0,25 par expression.	**0,5**
A.6 b	N1 = $p\cdot a\cdot b\cdot\overline{c} + p\cdot a\cdot b\cdot c = p\cdot a\cdot b\cdot(\overline{c} + c) = p\cdot a\cdot b$	Factorisation : 0,25 ; propriété $c + \overline{c} = 1$: 0,25. Accepter une justification par Karnaugh.	**0,5**
A.6 c	1 : 0001 / 0110000 ; 2 : 0010 / 1101101 ; 3 : 0011 / 1111001	0,25 par ligne complète et exacte (code DCBA + segments).	**0,75**
A.6 d	74LS47	Justification non exigée.	**0,25**
PARTIE B — MICROCONTRÔLEUR			**9**
B.1 a	5 entrées ; 8 sorties	0,25 + 0,25.	**0,5**
B.1 b	13 E/S nécessaires = 13 E/S disponibles sur le PIC16F84A	Comparaison chiffrée exigée pour 0,5 ; argument vague (« il est simple ») : 0.	**0,5**
B.2	TRISA = 0001 1111 = 0x1F	Bits 0,5 ; hexa 0,25. Accepter 0xFF (bits 7–5 non implantés) si justifié.	**0,75**
B.2	TRISB = 0000 0000 = 0x00	Bits 0,5 ; hexa 0,25.	**0,75**
B.3	0x01 ; 0x12 ; 0x24 ; 0x31 ; 0x08	5 lignes × 0,4 (bits 0,2 + hexa 0,2). Hexa cohérent avec un binaire faux : 0,2.	**2**
B.4	T1 RA2_bit ; T2 RA4_bit ; T3 0x1F ; T4 0x00 ; T5 0 ; T6 0x01 ; T7 0x12 ; T8 2000 ; T9 a==1 && b==1 && c==0 ; T10 0x08	0,25 par trou ; cohérence avec B.2 et B.3 acceptée (pas de double sanction). Pour T9, accepter toute condition équivalente.	**2,5**
B.4	C1 cellule haute ; C2 PORTB en sortie ; C3 tapis en marche, affichage 0 ; C4 V2 sort, affichage 2	0,25 par commentaire ; toute formulation équivalente est acceptée.	**1**
B.5 a	Transistor en commutation : amplifie / fournit le courant de la bobine	Mot-clé « commutation » ou « amplification du courant » : 0,5.	**0,5**
B.5 b	Diode de roue libre : protège le transistor contre la surtension de la bobine	« protection du transistor » seul : 0,25.	**0,5**
		TOTAL	**20**

Répartition par compétence (curriculum 3e Sc. Tech.)

Compétence	Questions	Points
CD1.5 — Résoudre un problème de logique combinatoire	A.1, A.2, A.3, A.4 a, A.6 a-b	**7**
CD2.5 / CD3.5 — Réaliser, lire un schéma combinatoire	A.4 b, A.5, A.6 c-d	**4**
CD1.7 / CD2.7 / CD3.7 — Microcontrôleur	B.1 à B.5	**9**

Consignes de correction

- Ne pas sanctionner deux fois la même erreur : une table de vérité fausse en A.2 reportée correctement en A.3 donne les points de A.3.
- En B.3 et B.4, les valeurs hexadécimales cohérentes avec les réponses de l'élève en B.2/B.3 sont acceptées.
- Les notations ā, a', /a et NON(a) sont équivalentes ; les points « · » du ET peuvent être omis.
- Durée conseillée : partie A ≈ 65 min ; partie B ≈ 50 min ; relecture 5 min.