République tunisienne Ministère de l'Éducation **Lycée Cité Riadh 2 – Ksar Hellal**	**DEVOIR DE CONTRÔLE N°1** **Technologie – Génie électrique** **DOSSIER TECHNIQUE**	Classe : 3e Sciences techniques Durée : 2 heures Prof. : Dr Hassène Bedoui A.S. : 2026 – 2027

POSTE DE TRI AUTOMATIQUE DE CAISSES DE DATTES

Constitution du sujet : dossier technique : pages 1/3 à 3/3 ; dossier pédagogique (à rendre) : pages 1/4 à 4/4.
Observation : aucune documentation n'est autorisée ; la calculatrice non programmable est permise. Le barème figure sur le dossier pédagogique.

1. Présentation du système

Une unité de conditionnement de dattes « Deglet Nour » expédie ses dattes dans des caisses de trois formats : **petites** (2 kg), **moyennes** (5 kg) et **grandes** (10 kg). Le poste de tri étudié reçoit les caisses sur un tapis roulant entraîné par le moteur M et les oriente vers trois destinations selon leur **hauteur**. Le format de la caisse est affiché sur un afficheur 7 segments.

a) Vue de face du poste de mesure — **b) Vue de dessus du poste de tri**

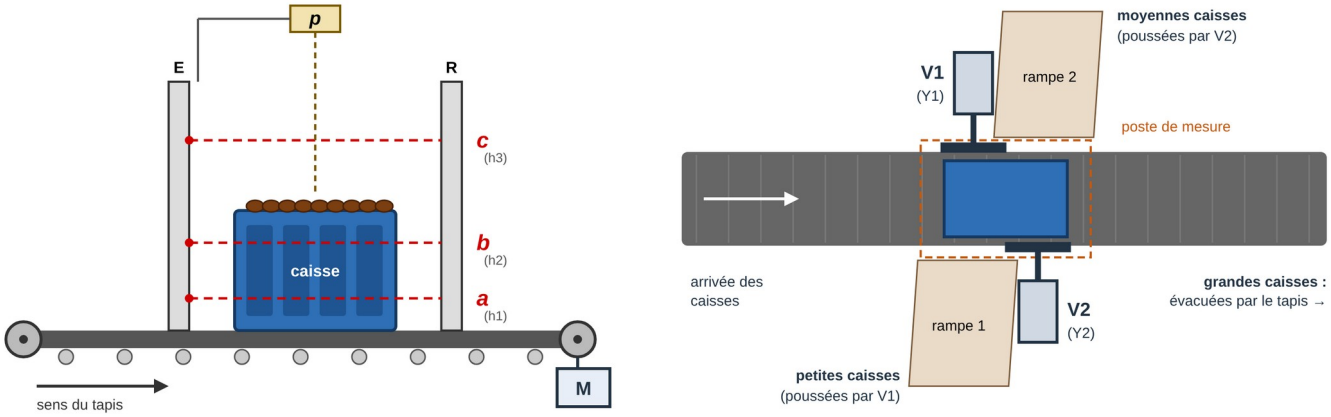


Figure 1 — Poste de tri : la caisse s'arrête au poste de mesure, devant les cellules a, b, c et sous le capteur p

2. Fonctionnement

- Interrupteur ***m*** : m = 0 → poste à l'arrêt (toutes les sorties à 0) ; m = 1 → poste en service.
- Tant qu'aucune caisse n'est au poste de mesure (**p = 0**), le moteur M tourne (**KM = 1**) et l'afficheur indique **0**.
- Dès qu'une caisse arrive au poste (**p = 1**), le tapis s'arrête. Les cellules photoélectriques ***a, b, c***, placées aux hauteurs h1 < h2 < h3, identifient le format (cellule = 1 si son faisceau est coupé) :

a b c	Format	Action	Afficheur
1 0 0	petite	le vérin V1 sort pendant 2 s (Y1 = 1) : caisse poussée vers la rampe 1	**1**
1 1 0	moyenne	le vérin V2 sort pendant 2 s (Y2 = 1) : caisse poussée vers la rampe 2	**2**
1 1 1	grande	le tapis redémarre (KM = 1) pendant 1,5 s pour évacuer la caisse	**3**
autres	**anomalie**	caisse renversée ou cellule défectueuse : le tapis reste arrêté et le voyant H s'allume jusqu'au retrait de la caisse (p = 0)	**0**

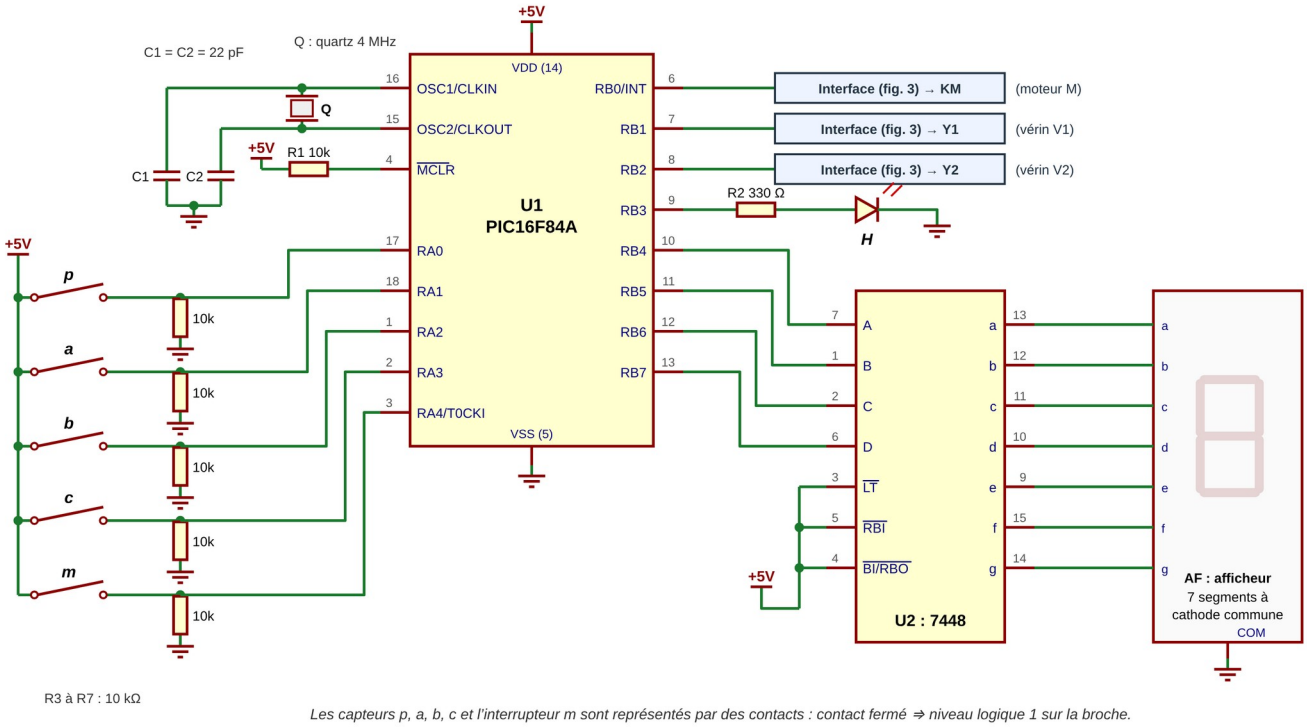
Tableau 1 — Identification du format de la caisse (lorsque p = 1)

Remarque : après la sortie d'un vérin, la caisse quitte le poste (p redevient 0) ; le vérin rentre et le tapis redémarre.

3. Choix technologiques

Fonction	Élément	Désignation / remarque
Entraîner le tapis	Moteur asynchrone triphasé M	Préactionneur : contacteur KM
Pousser les petites / moyennes caisses	Vérins simple effet V1 et V2	Distributeurs 3/2 à commande électrique Y1 et Y2
Détecter la caisse au poste	Capteur photoélectrique p	Sortie TOR : 1 = caisse présente
Mesurer la hauteur	Cellules photoélectriques a, b, c	Sortie TOR : 1 = faisceau coupé
Signaler une anomalie	Voyant H (DEL)	Commandé directement par RB3
Afficher le format	Afficheur 7 segments à cathode commune	Commandé par un décodeur BCD / 7 segments 7448
Traiter les informations	Microcontrôleur PIC16F84A	Quartz 4 MHz, programmé en mikroC

4. Carte de commande programmée



Les capteurs p, a, b, c et l'interrupteur m sont représentés par des contacts : contact fermé ⇒ niveau logique 1 sur la broche.

Figure 2 — Schéma structurel de la carte de commande

Entrées			Sorties		
RA0	**p**	présence d'une caisse	RB0	**KM**	moteur du tapis
RA1	**a**	cellule basse (h1)	RB1	**Y1**	vérin V1
RA2	**b**	cellule moyenne (h2)	RB2	**Y2**	vérin V2
RA3	**c**	cellule haute (h3)	RB3	**H**	voyant d'anomalie
RA4	**m**	interrupteur marche	RB4 … RB7	**A … D**	entrées A, B, C, D du 7448

Tableau 2 — Affectation des broches du PIC16F84A (RB4 → A, RB5 → B, RB6 → C, RB7 → D)

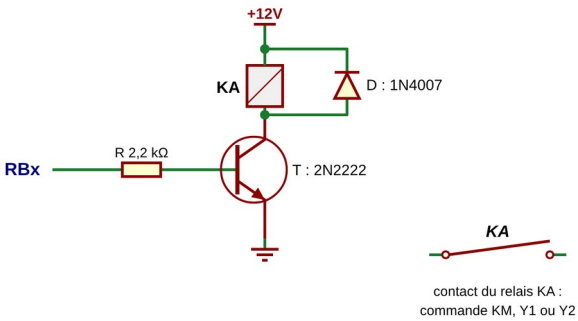


Figure 3 — Carte d'interface (identique pour KM, Y1 et Y2)

5. Extraits des documents constructeurs

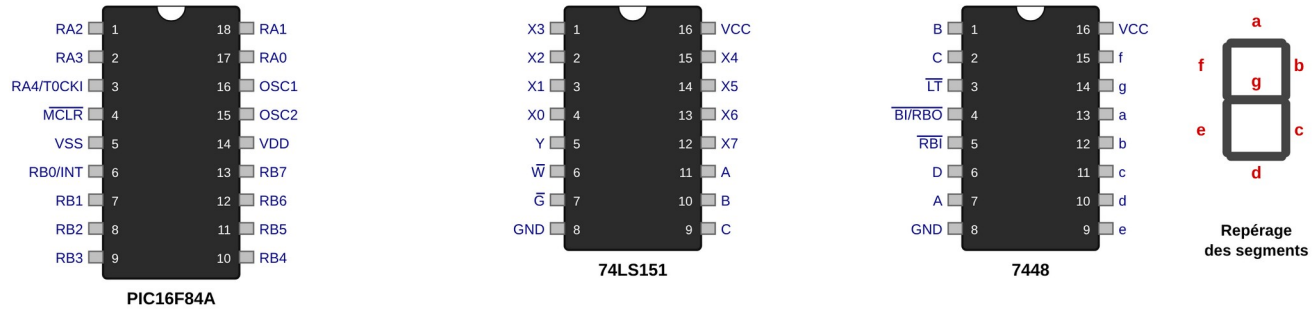


Figure 4 — Brochages (vue de dessus) et repérage des segments

5.1 Microcontrôleur PIC16F84A

Mémoire programme (Flash)	1 K mots de 14 bits
Mémoire de données	RAM : 68 octets ; EEPROM : 64 octets
Ports d'entrées / sorties	13 broches : PORTA (5 bits : RA0 à RA4) et PORTB (8 bits : RB0 à RB7)
Fréquence d'horloge	20 MHz au maximum
Courant par broche	25 mA au maximum (entrant ou sortant)
Registres TRISA, TRISB	bit = 1 → broche en entrée ; bit = 0 → broche en sortie. Les bits 7, 6, 5 de TRISA ne sont pas implantés (lus 0).

5.2 Multiplexeur 74LS151 (8 vers 1)

$\overline{G}$	C	B	A	Y	$\overline{W}$
1	x	x	x	0	1
0	0	0	0	X0	$\overline{X}$0
0	0	0	1	X1	$\overline{X}$1
0	0	1	0	X2	$\overline{X}$2
0	0	1	1	X3	$\overline{X}$3
0	1	0	0	X4	$\overline{X}$4
0	1	0	1	X5	$\overline{X}$5
0	1	1	0	X6	$\overline{X}$6
0	1	1	1	X7	$\overline{X}$7

- **A** est l'entrée de sélection de poids faible, **C** celle de poids fort.
- Validation $\overline{\mathbf{G}}$ active au niveau bas : si $\overline{\mathbf{G}}$ **= 1**, Y = 0 quelles que soient les entrées.
- Pour réaliser une fonction logique, on recopie sa table de vérité sur les entrées de données X0 … X7 (0, 1 ou une variable).
- Les entrées X0 … X7 sont notées D0 … D7 sur certaines notices.

5.3 Décodeur BCD / 7 segments 7448 et portes NAND

- Le 7448 reçoit un code BCD sur **D C B A** (A = poids faible) et commande les segments **a … g** ; ses sorties sont **actives au niveau haut** (afficheur à cathode commune). Le 74LS47 a des sorties actives au niveau bas (afficheur à anode commune).
- Fonctionnement normal : $\overline{\mathbf{LT}}$ **=** $\overline{\mathbf{BI}}$**/**$\overline{\mathbf{RBO}}$ **=** $\overline{\mathbf{RBI}}$ **= 1**. Test : $\overline{\text{LT}}$ = 0 allume les 7 segments. Extinction : $\overline{\text{BI}}$ = 0 éteint tous les segments.
- 74LS00 : 4 portes NAND à 2 entrées ; 74LS10 : 3 portes NAND à 3 entrées. Un inverseur s'obtient avec une NAND dont les entrées sont reliées : NAND(x, x) = $\overline{\mathbf{x}}$.

5.4 Aide-mémoire mikroC

`sbit p at RA0_bit;`	donne le nom p à la broche RA0
`TRISB = 0x00;  PORTB = 0x24;`	écriture d'une valeur hexadécimale dans un registre
`if (…) { … } else if (…) { … } else …`	structures conditionnelles
`==  &&  ||  !`	égal à, ET logique, OU logique, NON logique
`while (1) { … }`	boucle infinie
`Delay_ms(n);`	temporisation de n millisecondes