Lycée : Cité Riadh 2 – Ksar Hellal Prof. : Dr Hassène Bedoui	**DEVOIR DE CONTRÔLE N°1** Épreuve : Technologie — Génie électrique	Section : **Sciences Techniques** Classe : 4e ST ..... Durée : **2 h**

CONSTITUTION DU SUJET

– Un dossier technique : pages 1/3, 2/3 et 3/3.
– Un dossier réponses : pages 1/4, 2/4, 3/4 et 4/4.

TRAVAIL DEMANDÉ

A. Partie circuits combinatoires intégrés : pages 1/4 et 2/4 (8 points).
B. Partie microcontrôleur : pages 3/4 et 4/4 (12 points).

Observation : aucune documentation n'est autorisée. L'utilisation de la calculatrice est permise. Le dossier réponses est à rendre en entier, même non rempli.

BARRIÈRE DE PÉAGE AUTOMATIQUE

I. Présentation

Sur l'autoroute A1, certaines voies de péage fonctionnent sans opérateur. Le système étudié identifie la **classe** du véhicule d'après sa hauteur, affiche le **tarif**, encaisse les pièces introduites dans un **monnayeur**, calcule la **monnaie à rendre** puis commande la **barrière** (figure 1).

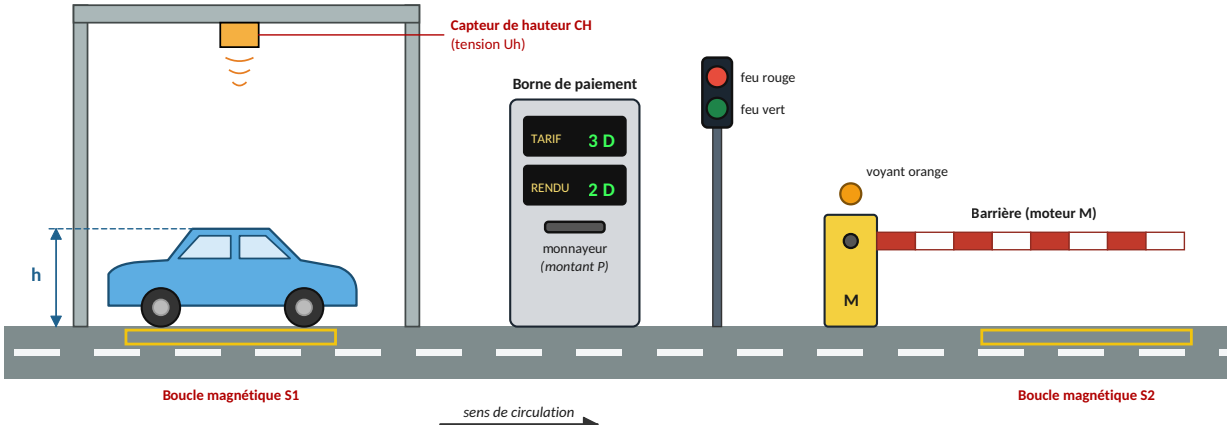


Figure 1 : voie de péage automatique

II. Fonctionnement

1. **Arrivée du véhicule.** La boucle magnétique **S1** passe de 1 à 0 lorsqu'un véhicule s'y arrête. Ce **front descendant**, appliqué sur **RB0/INT**, déclenche l'interruption externe INT.
2. **Classification.** Le capteur CH délivre la tension $\mathbf{U_h = h}$ (U_h en V, h hauteur du véhicule en m) sur **AN0** (CAN 10 bits, V_{REF+} = 5 V, V_{REF-} = 0 V, résultat justifié à droite). Le PIC envoie le code de classe **K1K0** sur RC1 RC0 (tableau 2).
3. **Tarification et paiement** (module de tarification, page 3/3). U2 et U3 génèrent le tarif **T** ; U4 compare le montant introduit **P** au tarif : **OK = 1 si P ≥ T** ; U5 calcule la monnaie à rendre **R = P − T**, affichée sur l'afficheur RENDU.
4. **Passage.** Si OK = 1 et qu'un véhicule est classé, le PIC lève la barrière (BAR = 1), allume le feu vert et éteint le feu rouge. Le véhicule passe sur la boucle **S2** (S2 = 1 pendant le passage).
5. **Fermeture.** Dès que S2 revient à 0, une **temporisation de sécurité ≈ 2 s** est réalisée par le **Timer0** (horloge interne, prédiviseur 1:64), le programme **surveillant le drapeau de débordement T0IF** (sans interruption du Timer0) ; pendant cette durée le **voyant orange clignote** (inversion toutes les ≈ 0,25 s, 8 inversions). La barrière se baisse ensuite, le feu rouge se rallume.

III. Affectation des entrées / sorties (tableau 1)

Élément	Broche	Rôle
U_h	RA0/AN0	Tension image de la hauteur h
S1	RB0/INT	0 : véhicule présent avant la barrière
OK	RB1	1 : montant suffisant (P ≥ T)
BAR	RB2	1 : barrière levée ; 0 : barrière baissée
S2	RB4	1 : véhicule en cours de passage
FV / FR / VO	RB5 / RB6 / RB7	Feu vert / feu rouge / voyant orange (1 = allumé)
K1 K0	RC1 RC0	Code de classe vers le module de tarification

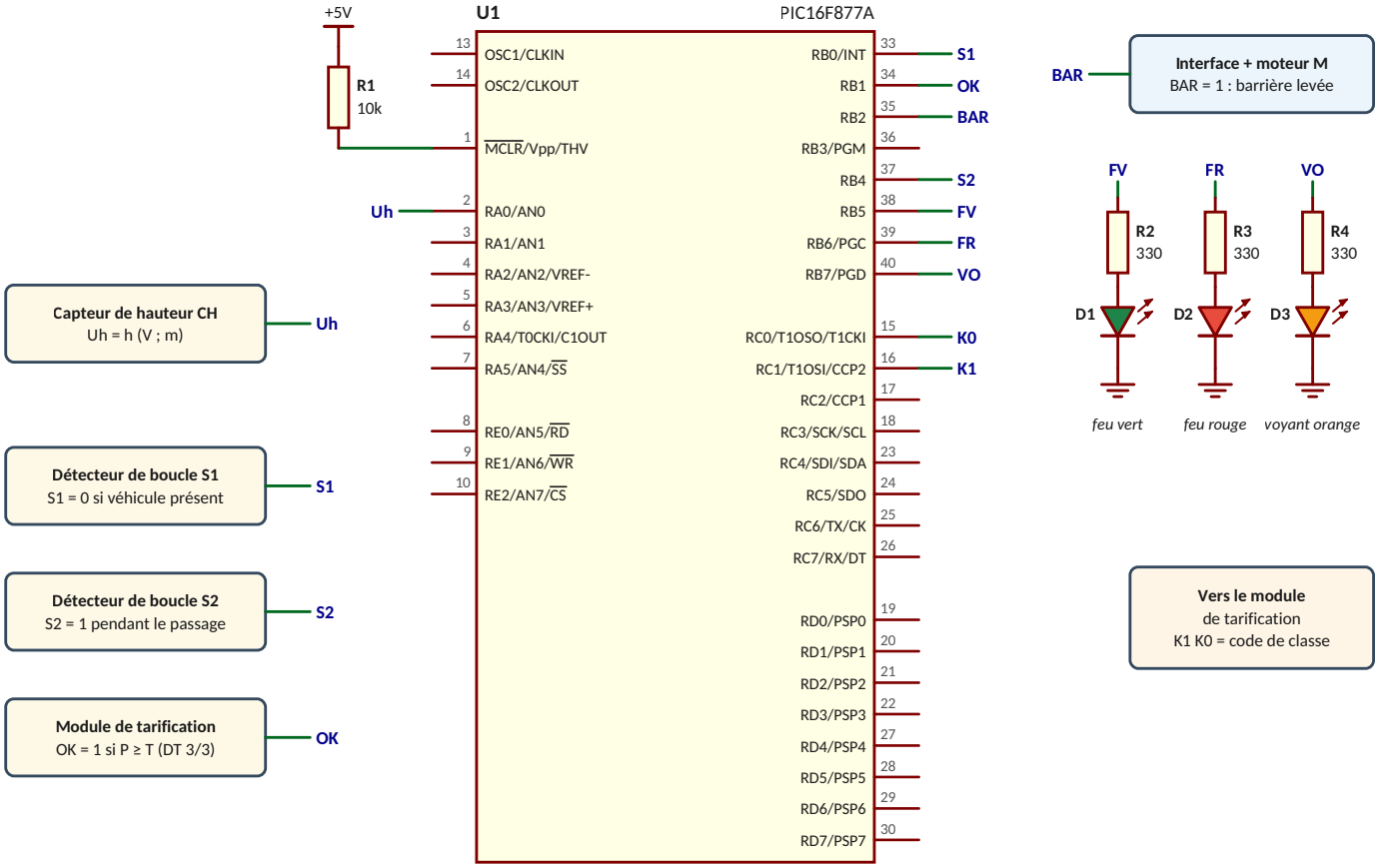
IV. Classes et tarifs (tableau 2)

Classe	Hauteur h	K1 K0	Tarif
aucun véhicule	—	0 0	0 D
1 (voiture)	h < 2 m	0 1	2 D
2 (fourgon)	2 m ≤ h < 3 m	1 0	3 D
3 (camion, bus)	h ≥ 3 m	1 1	5 D

Le monnayeur accepte des pièces de 1 D, 2 D et 5 D ; P ne dépasse pas 9 D. Broches non citées des ports A, B et C : non utilisées, configurées en sorties.

© Dr Hassène Bedoui — genieelectrique.tn — Devoir corrigé en téléchargement gratuit — Reproduction commerciale interdite

V. Carte de commande



Horloge : quartz 4 MHz entre OSC1 et OSC2 (non représenté)

Figure 2 : schéma de la carte de commande

VI. Extraits de la documentation du microcontrôleur PIC16F877A

1. Registre INTCON

INTCON	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF

GIE : validation globale des interruptions · T0IE : validation de l'interruption de débordement du Timer0 (non utilisée dans ce sujet) · INTE : validation de l'interruption externe RB0/INT · RBIE : validation de l'interruption sur changement d'état de RB4 à RB7 · T0IF, INTF, RBIF : indicateurs (drapeaux) mis à 1 par le matériel, remis à 0 par le programme. Un bit de validation à 1 autorise l'interruption correspondante.

2. Registre OPTION_REG

OPTION_REG	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0

RBPU : 1 = résistances de tirage du port B désactivées · INTEDG : front actif sur RB0/INT (1 = montant, 0 = descendant) · T0CS : horloge du Timer0 (0 = interne $F_{osc}/4$, 1 = broche RA4/T0CKI) · T0SE : front actif sur RA4 (0 = montant) · PSA : 0 = prédiviseur affecté au Timer0, 1 = au chien de garde. Le registre TMR0 (8 bits) déborde de 255 à 0 et met alors T0IF à 1.

PS2 PS1 PS0	000	001	010	011
Timer0	1:2	1:4	1:8	1:16
PS2 PS1 PS0	**100**	**101**	**110**	**111**
Timer0	1:32	1:64	1:128	1:256

3. Registre ADCON1

ADCON1	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
	ADFM	ADCS2	—	—	PCFG3	PCFG2	PCFG1	PCFG0

ADFM : 1 = résultat justifié à droite dans ADRESH:ADRESL · ADCS2 : laisser à 0 · bits 5 et 4 non implantés (lus à 0) · PCFG3…PCFG0 : configuration des broches (A = analogique, D = numérique).

mikroC : **ADC_Read(k)** renvoie le résultat (0 à 1023) de la conversion de la voie ANk.

PCFG3:0	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
0000	A	A	A	A	A	A	A	A
0100	D	D	D	D	A	D	A	A
011x	D	D	D	D	D	D	D	D
1110	D	D	D	D	D	D	D	A

© Dr Hassène Bedoui — genieelectrique.tn — Devoir corrigé en téléchargement gratuit — Reproduction commerciale interdite

VII. Module de tarification

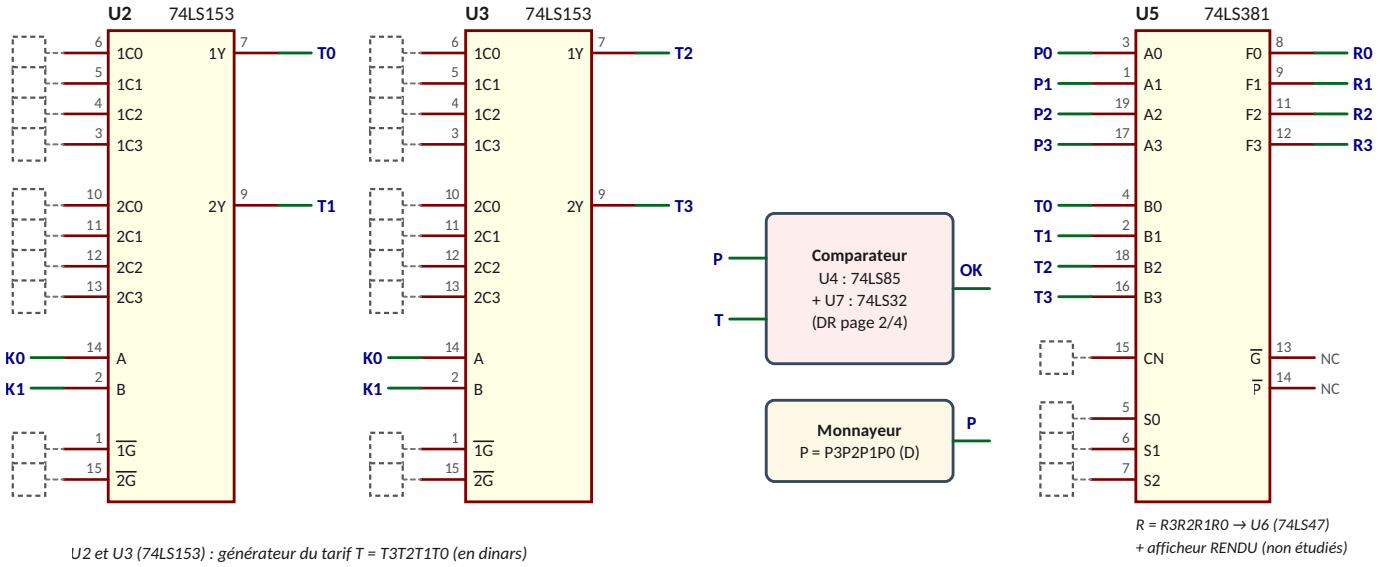


Figure 3 : schéma structurel du module de tarification — les cadres en pointillés représentent des niveaux logiques (0 ou 1) à déterminer : ce ne sont pas des composants

VIII. Extraits des documents constructeurs

1. Double multiplexeur 4 vers 1 « 74LS153 »

A : entrée de sélection de poids faible ; A et B sont communes aux deux multiplexeurs ; chaque multiplexeur a sa propre entrée de validation $\overline{G}$ (active à l'état bas).

$\overline{G}$	B	A	Y
1	X	X	0
0	0	0	C0
0	0	1	C1
0	1	0	C2
0	1	1	C3

2. Comparateur 4 bits « 74LS85 »

Comparaison de A et B	A>B	A<B	A=B	QA>B	QA<B	QA=B
A > B	X	X	X	1	0	0
A < B	X	X	X	0	1	0
A = B	1	0	0	1	0	0
A = B	0	1	0	0	1	0
A = B	X	X	1	0	0	1
A = B	0	0	0	1	1	0

A>B, A<B, A=B : entrées de mise en cascade (broches 4, 2, 3).
X : état indifférent.

3. Unité arithmétique et logique « 74LS381 »

Entrées de sélection			Opération réalisée	
S2	S1	S0	$C_N = 0$	$C_N = 1$
0	0	0	F = 0000	
0	0	1	F = B − A − 1	F = B − A
0	1	0	F = A − B − 1	F = A − B
0	1	1	F = A + B	F = A + B + 1
1	0	0	F = A XOR B	
1	0	1	F = A OU B	
1	1	0	F = A ET B	
1	1	1	F = 1111	

A = A3A2A1A0, B = B3B2B1B0, F = F3F2F1F0. Les soustractions sont effectuées en complément à 2 sur 4 bits : un résultat négatif n'est pas significatif. $\overline{G}$ et $\overline{P}$: sorties d'anticipation de retenue (non utilisées). Le circuit ne possède pas de sortie de retenue C4.

4. Porte « 74LS32 »

4 portes OU à 2 entrées.

© Dr Hassène Bedoui — genieelectrique.tn — Devoir corrigé en téléchargement gratuit — Reproduction commerciale interdite